

(3) Japanese Patent Application Laid-Open No. 62-213167 (1987).

This reference corresponds to United States Patent No. 4,798,810 ✓

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭62-213167

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月19日

H 01 L 29/78

3 2 1

Y-8422-5F

審査請求 未請求 発明の数 4 (全9頁)

⑮ 発明の名称 パワーMOSトランジスタの製造方法

⑯ 特 願 昭62-53236

⑰ 出 願 昭62(1987)3月10日

優先権主張 ⑱ 1986年3月10日 ⑲ 米国(US) ⑳ 838217

㉑ 発 明 者 リチャード エイ. ブ アメリカ合衆国, カリフォルニア 94022, ロス アルト  
ランチャード ス, モラ ドライブ 10724

㉒ 発 明 者 アドリアン コーガン アメリカ合衆国, カリフォルニア 95129, サン ノゼ,  
ハイド アベニュー 1175

㉓ 出 願 人 シリコニクス インコ アメリカ合衆国, カリフォルニア 95054, サンタ クラ  
ーボレイテッド ラ, ローレルウッド ロード 2201

㉔ 代 理 人 弁理士 小橋 一男 外1名

## 明 細 書

## 1. 発明の名称

パワーMOSトランジスタの製造方法

## 2. 特許請求の範囲

1. トランジスタの製造方法において、第1導電型を持った第1半導体領域上に第1絶縁層を形成し、前記第1絶縁層上に導電性ゲートを形成し、前記導電性ゲート上に第2絶縁層を形成し、前記第2絶縁層上及び前記導電性ゲートによって被覆されていない前記第1絶縁層の部分上にマスクを形成し、前記マスクは前記第2絶縁層の一部を固定する第1窓領域と前記第1半導体領域の一部を固定する第2窓領域とを持っており、前記第2窓領域によって固定される前記第1半導体領域の前記一部内に不純物を導入しその際に前記第1半導体領域内に第2導電型の第2半導体領域を形成し、前記第2半導体領域は前記トランジスタに対して深い本体領域として機能し、前記第1半導体領域内に前記第2導電型の第3半導体領域を形成し、前記第3半導体領域は前記第2半導体領域

と隣接しており、前記第3半導体領域内に前記第1導電型の第4半導体領域を形成し、前記第2絶縁層内に開口を形成し、前記開口は前記第1窓領域によって固定され且つゲートコンタクトとして機能することを特徴とする方法。

2. 特許請求の範囲第1項において、前記第3及び第4半導体領域の横方向範囲は前記導電性ゲートによって固定されていることを特徴とする方法。

3. 特許請求の範囲第1項において、前記第2及び第4半導体領域及び前記ゲートの表面上に導電層を形成し、前記導電層の第1部分は前記ゲートへ電気的にコンタクトしており、前記導電層の第2部分は前記第2及び第4半導体領域と電気的にコンタクトしており、前記導電層の第3部分はボンディングパッドとして機能するものであり、前記導電層上にパッシベーション用の絶縁層を形成し、前記パッシベーション用の絶縁層をエッチングしてその際に前記ボンディングパッドを露出させその際に4つのホトリソグラフィマスクのみ

を使用することを特徴とする方法。

4. 特許請求の範囲第3項において、前記4つのホトリソグラフィマスクの1つを使用して前記導電層をパターン化し、その際に前記ゲートにコンタクトするリード及び塩基第2及び第4半導体領域にコンタクトするリードを形成することを特徴とする方法。

5. 特許請求の範囲第1項において、前記導電性ゲートは多結晶シリコンであることを特徴とする方法。

6. 特許請求の範囲第1項において、前記第1絶縁層は二酸化シリコン層及び窒化シリコン層を有していることを特徴とする方法。

7. 特許請求の範囲第1項において、前記トランジスタを取り巻くEQRを形成するステップを有することを特徴とする方法。

8. 特許請求の範囲第7項において、前記EQRは何等付加的な整合ステップを要することなく形成されることを特徴とする方法。

9. 特許請求の範囲第7項において、第1と

固定され、前記導電性リングは前記導電性ゲートと同時に形成されることを特徴とする方法。

13. トランジスタの製造方法において、第1半導体領域上に第1絶縁層を形成し、前記第1半導体領域は第1導電型を持っており、前記第1絶縁層は二酸化シリコン上に形成した窒化シリコン層を有しており、前記第1絶縁層上に導電性ゲートを形成し、前記導電性ゲート上に第2絶縁層を形成し、前記第2絶縁層上及び前記導電性ゲートによって被覆されていない前記第1絶縁層の部分上にマスクを形成し、前記マスクは前記第1絶縁層の一部を画定する第1窓領域及び前記第1半導体領域の一部を画定する第2窓領域を持っており、前記第2窓領域内の前記窒化シリコン層の該部分を除去し、前記第2窓領域によって画定される前記第1半導体領域の前記部分内に不純物を導入しその際に前記第1半導体領域内に第2導電型の第2半導体領域を形成し、前記第2半導体領域は前記トランジスタに対して深い本体領域として機能するものであり、前記第2半導体領域上に

第2と第3の導電層を形成し、前記第1導電層は前記ゲートと電気的にコンタクトしており、前記第2導電層は前記第2及び第4半導体領域と電気的にコンタクトしており、前記EQRは前記第3導電層を有することを特徴とする方法。

10. 特許請求の範囲第9項において、前記EQRが、前記第1半導体領域内に形成された前記第2導電型の第5半導体領域と、前記第5半導体領域内に形成した前記第1導電型の第6半導体領域を有しており、前記第3導電層は前記第6半導体領域上方でそれと電気的にコンタクトして形成されており、前記第3導電層も前記第5及び第1半導体領域と電気的にコンタクトしていることを特徴とする方法。

11. 特許請求の範囲第10項において、前記第5及び第3半導体領域は同時に形成され且つ前記第4及び第6半導体領域は同時に形成されることを特徴とする方法。

12. 特許請求の範囲第10項において、前記第5及び第6半導体領域は導電性リングによって

マスク層を形成し、前記マスク層の端部は前記第2窓領域によって画定され、前記第1半導体領域内に前記第2導電型の第3半導体領域を形成し、前記第3半導体領域は前記第2半導体領域と隣接しており、前記第3半導体領域内に前記第1導電型の第4半導体領域を形成し、前記第4半導体領域の横方向羽には前記導電性ゲート及び前記マスク層によって画定され、前記第2絶縁層内に開口を形成し、前記開口は前記第1窓領域によって画定され且つゲートコンタクトとして機能することを特徴とする方法。

14. 特許請求の範囲第13項において、前記マスク層は二酸化シリコンを有しており、前記方法が、前記第2半導体領域を形成するステップの後に第1ブランケットエッチングプロセスで前記導電性ゲートによって被覆されていない前記窒化シリコン層の部分を除去し、前記第4半導体領域を形成した後に第2ブランケットエッチングプロセスで前記マスク層及び前記導電性ゲートによって被覆されていない前記二酸化シリコン層の部分

を除去しその際に前記第2及び第4半導体領域の部分を露出させ、前記第2及び第4半導体領域の前記露出された部分上に導電物質を形成することを特徴とする方法。

15. 特許請求の範囲第14項において、前記第2半導体領域を形成するステップの前に前記第1窓領域内に前記第2絶縁層の前記部分を除去することを特徴とする方法。

16. 第1導電型の第1半導体領域内に形成されるトランジスタにおいて、前記トランジスタはEQRによって横方向が取り巻かれており、前記第1半導体領域内に形成された第2導電型の第2半導体領域、前記第2半導体領域内に形成された前記第1導電型の第3半導体領域、前記第3半導体領域上でそれと電気的にコンタクトして形成された第1導電層、を有しており、前記第1導電層も前記第2及び第1半導体領域と電気的にコンタクトしていることを特徴とするトランジスタ。

17. 特許請求の範囲第16項において、前記第1導電層は金属であることを特徴とするトラン

ジスタにおいて、前記第3半導体領域は前記第2半導体領域を形成するステップ中に形成され、前記第2半導体領域内に前記第1導電型の第4半導体領域を形成し、前記第4半導体はトランジスタのソース領域として機能するものであり、前記第3半導体領域内に前記第1導電型の第5半導体領域を形成し、前記第5半導体領域の端部は前記導電性リングの前記端部によって固定されており、前記第5半導体領域上に導電層を形成し、前記導電層は前記第1、第3及び第5半導体領域へ電気的に接続されており、前記導電層はEQRとして機能することを特徴とする方法。

### 3. 発明の詳細な説明

本発明はMOSトランジスタに関するものであって、更に詳細には、最小数のマスクステップでMOSトランジスタを製造する方法に関するものである。本発明は更に二重拡散型MOS(DMOS)トランジスタに関するものである。

DMOSトランジスタは、共通の端部又は境界から逐次導入した不純物の拡散における差異によ

ジスタ。

18. 特許請求の範囲第16項において、前記トランジスタを横方向に取り囲んでフィールド制限リングが設けられており、前記第1導電層は前記フィールド制限リングを横方向に取り囲んでおり、前記フィールド制限リングの端部は前記第2及び第3半導体領域の端部を画定していることを特徴とするトランジスタ。

19. トランジスタの製造方法において、第1導電型を第1半導体領域上に絶縁層を形成し、前記絶縁層上に導電性ゲートを形成し、前記導電性ゲートを形成するステップの間に前記導電性ゲートを横方向に取り囲む導電性リングを形成し、前記第1半導体領域内に第2導電型を持った第2半導体領域を形成し、前記第2半導体領域はトランジスタ本体領域として機能するものであり、前記第1半導体領域内に前記第2導電型を持った第3半導体領域を形成し、前記第3半導体領域は前記導電性リングを横方向に取り囲んでおり、前記導電性リングの端部は前記第3半導体領域の端

部によって固定されるチャンネル長さを持ったMOSトランジスタである。DMOSトランジスタを製造する従来方法の1例は、Baliga et al.に対して発行された米国特許第4,443,931号に開示されている。従来公知の如く、使用するマスクの数を最小に維持しつつ、DMOSトランジスタを製造することが望ましい。その理由の1つは、マスク数を最小とすることによって、整合ステップの数も最小とされ、従って整合公差を許容する必要性が最小とされる。従来公知の如く、整合公差を許容する必要性が最小とされると、その結果得られるトランジスタの寸法及びコストが最小とされる。

マスクステップの数を最小とする別の理由は、製造プロセスの複雑性が対応して減少され且つトランジスタを製造するコストが低減されるからである。

本発明は以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、寸法を最小とし更に低コストのトランジスタ及びその製造

方法を提供することを目的とする。

本発明に従うDMOSTランジスタの製造方法は、半導体基板上にゲート絶縁層を設けるステップを有している。該半導体基板は典型的にN型シリコンであり、且つゲート絶縁層は典型的に二酸化シリコン層上に形成した窒化シリコン層を有している。次いでゲート絶縁層上にゲートを形成する。本発明の1実施例においては、ゲートは多結晶シリコンであり且つゲート絶縁層上に多結晶シリコン層を付着させ且つ第1ホトリソグラフィックマスクを使用して該多結晶シリコン層の一部を保護すると共に該多結晶シリコンの露出された部分を除去することによって形成される。

その結果得られるゲートは、1実施例においては二酸化シリコンを有する第2絶縁層で被覆されている。第2ホトリソグラフィックマスクをウエハ上に形成する。本発明の1つの新規な特徴に従って、該第2マスクはDMOSTランジスタの深い本体領域を画定する第1窓領域とゲートコンタクトを画定する第2窓領域の両方を有している。

P型ドーパントが、次いで、半導体基板内にイオン注入されて、DMOSTランジスタの本体領域を形成する。その後、N型ドーパントを半導体基板内にイオン注入して、ソース領域を形成する。上述した如く、深い本体上に成長された酸化物マスクは下側に存在する深い本体がブレドープされるか又はN型不純物でイオン注入されることを防止する。重要なことであるが、該ソース及び本体領域の横方向範囲は、ゲート及び酸化物マスクの端部によって画定されている。従って、DMOSTランジスタのソース及び本体領域を画定する為にエキストラなマスクステップを使用することは必要ではない。

該深い本体領域上方の酸化物マスク、第2窓内の二酸化シリコン、及びソース及び本体のドライブインの間中にソース領域上に形成されることのある二酸化シリコンをブランケットエッチングプロセスで除去する。次いで、ウエハの表面上に導電層（典型的には金属）を形成する。ゲートリード及びソース/本体リードを形成する為に導電

該第2窓領域内の第2絶縁層の部分を除去する。重要なことであるが、該第1窓領域内の窒化シリコン層の部分も除去し、且つ半導体基板の下側に存在する部分が熱的にドーパされるか又はP型ドーパントでイオン注入され、その際に深い本体（デープボディ即ちdeep body）領域を形成する。

次いで、第2窓領域内に二酸化シリコン層を典型的には熱酸化によって形成する。重要なことであるが、第1領域内の二酸化シリコン厚さもこのプロセス中に増加する。二酸化シリコン層及び下側に存在する二酸化シリコン層の露出部分を、付加的なマスクングを必要とすることのないブランケットエッチングプロセスを使用して除去する。このブランケットエッチングプロセスの終了時において、該ゲート上に形成されている二酸化シリコン及び該深い本体領域上に形成されている二酸化シリコンは残存する。該深い本体領域上の二酸化シリコンは、爾後に形成されるボディ即ち本体及びソース領域の一部を画定する酸化物マスクとして機能する。

層をパターン化する為に第3ホトリソグラフィックマスクをウエハへ付与する。

次いで、低温（典型的に450℃以下）において窒化シリコン又は二酸化シリコン等の物質からなるパッシベーション層でウエハを被覆する。第4ホトリソグラフィックマスクを使用して、例えばボンディングパッド領域等の該パッシベーション層を除去すべき領域を画定する。重要なことであるが、上述したプロセスは4つのホトリソグラフィックマスクを必要とするに過ぎない。従って、本プロセスは従来技術のDMOS製造プロセスよりも一層簡単である。更に、種々のホトリソグラフィックマスクの不整合を許容する為のランジスタの寸法を増加する必要性が減少されている。

1実施例において、本トランジスタは等電位リング（EQR）によって横方向が取り囲まれている。本発明の1つの新規な特徴に拠れば、EQRはP領域（ボディ即ち本体領域と同時的に形成される）と、該P領域内のN+領域（ソース領域と同時的に形成される）及びN+領域上に形成さ

れる導電性リング（ゲートリード及びソース／本体リードと同時に形成される）とを有している。該導電性リングは電気的に基板、P領域、N+領域へ接続されており、且つトランジスタドレインと同一の電圧にバイアスされている。以下に更に詳細に説明する如く、EQRはDMOSTランジスタの信頼性を向上させている。重要なことであるが、EQRは何等エキストラなマスキングステップ無しに形成することが可能である。

以下、添付の図面を参考に、本発明の具体的実施の態様に付いて詳細に説明する。

本発明に基づくプロセス即ち方法は、半導体基板10上に二酸化シリコン層12を形成するステップから開始される（第1図）。本発明の1実施例においては、ウエハ10は、約 $1.5\Omega\cdot\text{cm}$ の導電度を持っており且つ高度にN+ドーパされた基板上に約12ミクロンの厚さを持ったN型エピタキシャルシリコンから構成されている。然し乍ら、その他の導電度及び導電型を持ったその他の1つ又はそれ以上の半導体物質を使用すること

も可能である。（本明細書においては、「ウエハ」という用語は基板10及び基板10上に間接的に又は直接的に形成した全ての層を包含するものとする。）

二酸化シリコン層12は典型的に約50ナノメートル（nm）の厚さへ熱的に成長される。窒化シリコン層14を次いで二酸化シリコン層12上に形成する。窒化シリコン層14も典型的に約50nmの厚さであり、且つ典型的に化学蒸着即ちCVDによって形成される。以下に詳細に説明する如く、二酸化シリコン層12及び窒化シリコン層14は爾後に形成されるDMOSTランジスタに対するゲート絶縁膜として機能する。

次いで、多結晶シリコン層16を窒化シリコン層14上に形成する。1実施例においては、多結晶シリコン層16をCVDによって約500nmの厚さへ形成する。以下により詳細に説明する如く、多結晶シリコン層16はDMOSTランジスタのゲートとして機能する。多結晶シリコン層16を次いで溝の如きN型ドーパントで約 $15\Omega/\square$

のシート抵抗へドーパさせる。

次いで、多結晶シリコン層16をホトレジスト層18で被覆し、次いでそれを従来の態様でパターン化し、その際に多結晶シリコン層16の部分16a乃至16dを露出させる。多結晶シリコン層16の露出部分16a乃至16dを次いで除去し、その際に多結晶シリコンゲート16e及び16f及びフィールド制限リング16gを第2図に示した如くを残存させる。（その他の実施例においては、ゲート16e及び16f及びフィールド制限リング16gは多結晶シリコン以外の物質、例えば耐火性金属又はシリサイド等の金属とすることが可能である。）多結晶シリコン16e及び16fは別体の構成の如くに見えるが、1実施例においては、それらは第2図の断面の外側で連結された単一の連続する多結晶シリコンゲート17である。（1実施例において、ゲート16e及び16fは単一の連続する領域ではない。然し乍ら、この様な実施例において、ゲート16e及び16fは爾後に形成される導電層で電気的に一体的に

接続させることが可能である。）以下に説明する如く、フィールド制限リング16gは本トランジスタを取り囲み且つリング16gを取り巻く爾後に形成されるEQRを画定する。この様に、ホトレジスト層18は、DMOSTランジスタ、フィールド制限リング、及び本トランジスタを取り巻くEQRを画定する第1マスクとして機能する。

第3図を参照すると、ホトレジスト層18の残存部分を除去し且つ多結晶シリコンゲート17及びリング16gを二酸化シリコン層20で被覆する。1実施例において、二酸化シリコン層20を約500nmの厚さへ熱的に成長させる。

次いで、ウエハをホトレジスト層22で被覆し、該ホトレジスト層22を公知の態様でパターン化し、その際にホトレジスト層22内に窓領域22a、22b、22cを形成する。以下の説明から明らかな如く、窓領域22aは多結晶シリコンゲート17へ電気的コンタクトを画定し、一方窓領域22b及び22cはDMOSTランジスタのP+ディーパボディ領域即ち深い本体領域を画定

する。

第4図を参照すると、窓領域22a内の二酸化シリコン層20の一部20aを除去し且つ窓領域22b及び22c内の窒化シリコン層14の部分を除去する。1実施例において、部分20aはウエハを緩衝HF溶液中に浸漬させることによって除去する。重要なことであるが、ホトレジスト層22は二酸化シリコン層20の下側に存在する部分を保護する。然し乍ら、窓領域22a内に二酸化シリコン層20の部分は保護されておらず、従ってHF溶液によって除去される。更に、窓領域22b及び22c内に前のプロセスステップ中に典型的に5乃至10nmの厚さに形成される酸化窒化物表面層もHF溶液によって除去される。その後、ウエハを緩衝HF溶液から除去し且つ、例えば、硝酸溶液中に浸漬させ、該硝酸溶液は窓領域22b及び22c内の窒化シリコン層14の部分を除去し、その際に窓領域14a及び14bを形成する。次いで、ウエハを硝酸溶液から取りだし、且つホトレジスト層22を除去する。その

17内のN型ドーパント濃度が高い為に、ゲート導電度はこのプロセス中に著しく変化されることはない。更に注意すべきことであるが、窓領域14a及び14b内に二酸化シリコン層12の部分は、窓領域14a及び14b内の半導体物質内に不純物が不所望に導入されることを防止し且つ爾後の高温処理ステップ中にボロンが不本意に喪失することを防止する。

次いで、ウエハをドライインプロセスに露呈させる。このドライインプロセスの間に、多結晶16a上に薄い二酸化シリコン層20bが形成される（典型的に約50nmの厚さ）。更に、P+の深い本体領域24上の二酸化シリコン層12の部分25も厚さが増加する。重要なことであるが、P+領域24の拡散の間、二酸化シリコン層20b及び25は不純物がゲート17の外方へ且つ基板10内へ拡散することを防止する。

第6a図は製造プロセスのこの時点におけるトランジスタの一部を示した平面図である。領域24は図面を簡単化する為に第6a図中には示して

結果得られる構成体を第5図に示してある。

本発明の別の実施例においては、夫々二酸化シリコン層20と窒化シリコン層14をエッチする為にHF溶液と硝酸を使用する代わりに、プラズマエッチング、反応性イオンエッチング、又はイオンミリングを使用することが可能である。

第6図を参照すると、P+の深い本体領域24を、例えば窓領域14a及び14b内の基板10の部分内にP型イオンをイオン注入させることによってシリコン基板10内に形成する。1実施例においては、ボロンイオンを約 $2 \times 10^{14}$ イオン/cm<sup>2</sup>のドーズで且つ約40KeVの注入エネルギーでイオン注入する。（重要なことであるが、注入エネルギー及びドーズ量は、イオンが二酸化シリコン層12及び窒化シリコン層14の両方に被覆されているウエハの部分内に注入されることがないことを保証する様に選択される。）このプロセスの間に、いくらかのイオンも二酸化シリコン層20が除去されている個所の多結晶シリコンゲート17内に注入されるが、多結晶シリコンゲート

いない。

ゲート17又は多結晶シリコンリング16gによって被覆されていない窒化シリコン層14の部分を次いで除去する。1実施例においては、このことは、ウエハを硝酸溶液中に浸漬させることによって行われる。然し乍ら、窒化シリコン層14の露出部分をその他の方法によって除去させることも可能であり、例えば反応性イオンエッチング又はプラズマエッチングを使用することが可能である。二酸化シリコン層20b及び二酸化シリコン層12の露出部分を、ウエハを緩衝HF溶液中に浸漬させることによって除去する。その他の実施例においては、層20b及び二酸化シリコン層12の露出部分をプラズマエッチング又は反応性イオンエッチングで除去する。重要なことであるが、二酸化シリコン層20（500nm）及び25（220乃至230nm）の厚さの為に、二酸化シリコン層20及び25はこのエッチングプロセスの間殆ど不変のまま残存する。更に、ゲート17及び多結晶シリコンリング16g下側の窒化シ

リコン層14及び二酸化シリコン層12の部分も残存する。重要なことであるが、本プロセスのこの点述において、2つのホトリソグラフィックマスクをウエハへ適用したに過ぎない。

第7図を参照すると、P型本体領域26を、例えばイオン注入によって形成する。1実施例においては、約 $5 \times 10^{13}$ イオン/ $\text{cm}^2$ のドーズ量で且つ約50 KeVの注入エネルギーでボロンイオンを基板10内に注入させる。重要なことであるが、P型本体領域26の横方向範囲はゲート17の端部27によって画定される。従って、本体領域26の形成仮定中に、何等付加的なホトリソグラフィックマスク又は整合ステップは必要ではない。次いで、ウエハにドライビングプロセスを実施する。

本体領域26と同時的にP型領域26aが形成される。然し乍ら、前述した如く、P領域26aは本体領域として機能することではなく、むしろEQRの一部として機能する。

その後、N+ソース領域28を、例えばイオン注入によって形成する。1実施例においては、

砒素イオンを約 $5 \times 10^{15}$ イオン/ $\text{cm}^2$ のドーズ量で且つ約40 KeVの注入エネルギーで基板10内にイオン注入させる。N+ソース領域28の横方向範囲もゲート17の端部27と二酸化シリコン25の端部によって画定される。次いで、ウエハに対して別のドライビングプロセスを実施する。その後、二酸化シリコン25及び同一のドライビングプロセス中にソース領域28上又は窓22a内に形成される任意の二酸化シリコンは、例えばウエハを緩衝HF溶液中に浸漬させることによってブランケットエッチングプロセスによって除去される。

N+ソース領域28と同時にN+領域28aが形成される。然し乍ら、前述した如く、N+領域28aはソース領域として機能するのではなく、むしろEQRの一部として機能する。

第8図を参照すると、ウエハは導電層30で被覆されている。導電層30は典型的には、アルミニウム又はアルミニウム合金の如き金属層である。その他の実施例においては、同質素30は別の金

属である。導電層30は、ゲートガードとしてのみならずトランジスタ用のソース/本体リードとして機能する。次いで、ウエハをホトレジスト層32で被覆し、該ホトレジスト層32を従来の露光でパターン化し、その際に導電層30の一部を露出させる。導電層30の露出部分を次いで第8図に示す如く除去する。

次いで、ホトレジスト層32を除去し、且つウエハを例えばプラズマ付着させた酸化シリコン層34の如き絶縁体からなるパッシベーション層で被覆する。その他の実施例において、層34は二酸化シリコンである。導電層30の一部は、ボンディングパッドを形成すべき(不図示)箇所のウエハ上の区域へ延在する。ウエハへ第4ホトリソグラフィックマスクを適用することによってパッシベーション層34をパターン化させる。第4ホトリソグラフィックマスクは、ボンディングパッド上方のパッシベーション層34の一部を露出させる窓領域を有している。次いで、パッシベーション層34の露出部分を除去し、その際にボンディング

パッドにおける導電層30の部分を露出させる。

パッシベーション層34をパターン化した後、ウエハの底部上に導電層36(典型的にアルミニウム等の金属)を形成する(第9図)。導電層36はドレインコンタクトとして機能し、且つ典型的にはパターン化されない。

次いで、導電層30(EQR)の一部30aを基板10及びP領域26aへ短絡させる。1実施例においては、このことは、基板10と相対的に導電層30の一部30aへ高電圧を印加させることによって達成される。部分30aは、典型的にウエハソート処理中に、基板10及びP領域26aへ短絡される。(ウエハソートとは、ウエハが別々のデバイスに切断される前に、ウエハ内に形成されるデバイスに対して行う電気的テストである。)前述した如く、EQRはトランジスタの周辺部に形成される。従来公知の如く、EQRはトランジスタの信頼性を向上させる。EQRは、Conti et al. 著の「フィールドプレートを具備するシリコンプレーナダイオードにおける表面破壊



(Surface Breakdown In Silicon Planar Diodes Equipped With Field Plate)」、ソリッドステートエレクトロニクス、1972、第15巻の文献に記載されている。

前述した如く、多結晶リング16gはフィールド制限リングとして機能する。リング16gは典型的にウエハ上に形成されているその他の構成から電気的に絶縁されている。別の実施例においては、複数個の多結晶シリコンフィールド制限リングはトランジスタを取り巻いてトランジスタの信頼性を更に向上させている。

理解される如く、4つのホトリソグラフィマスクのみを必要とするDMOSトランジスタを製造する方法に付いて詳細に説明した。本方法は簡単であり且つ整合公差の要件を最小とさせている。従って、本発明方法で製造されるトランジスタは、従来のトランジスタよりも一層小さな表面積上に製造することが可能である。例えば、典型的な従来のトランジスタにおいて、ゲート対ゲート距離(例えば、多結晶シリコン16eから16fへの

距離)は約25乃至30ミクロンである。本発明のこのプロセスを使用することによって、この距離は約22乃至28ミクロンへ減少させることが可能である。このことは、複数個の正方形セルを使用するトランジスタの表面積の約20%の節約を表している。

別の実施例において、上述したプロセスを使用して絶縁ゲートバイポーラトランジスタを形成する。この様な実施例においては、ソース28、本体26及び深い本体領域24がN型エピタキシャル層内に形成され、それはP+基板上に形成される。絶縁ゲートトランジスタの動作は、Baliga et al. 著の「絶縁ゲートトランジスタ：新しい3端子MOS制御型バイポーラデバイス (Insulated Gate Transistor: A New Three-Terminal MOS-Controlled Bipolar Device)」, IEEEトランザクションオンエレクトロニクス、ED-31巻、No. 6、1984年6月、に詳細に記載されている。

以上、本発明の具体的実施の態様に付いて詳細

に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形が可能であることは勿論である。例えば、このプロセスを使用してN及びPチャンネルトランジスタの両方を形成することが可能である。更に、このトランジスタは基板内又は基板上に形成したエピタキシャル層内に形成することが可能である。

#### 4. 図面の簡単な説明

第1図乃至第9図は本発明に基づく製造方法の種々のステップにおけるDMOSトランジスタの一部を示した各概略断面図、である。

(符号の説明)

- 10 : 半導体基板
- 12 : 二酸化シリコン層
- 14 : 窒化シリコン層
- 16 : 多結晶シリコン層
- 17 : ゲート
- 18 : ホトリジスト層
- 22 : 窓領域

- 25 : 二酸化シリコン
- 26 : 本体領域
- 28 : ソース領域
- 30 : 導電層
- 34 : パッシベーション層

特許出願人

シリコニクス インコーポレイテッド

代理人

小 橋 一 男

同

小 橋 正 明

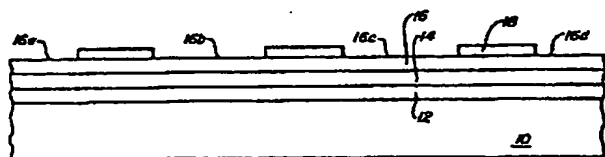


FIG. 1

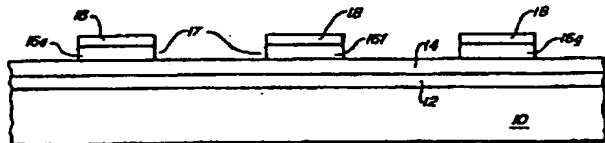


FIG. 2

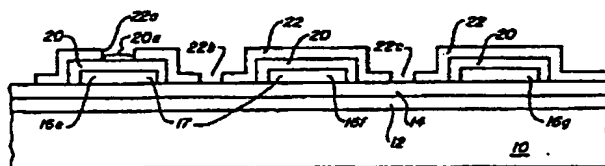


FIG. 3

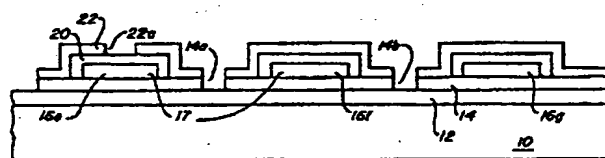


FIG. 4

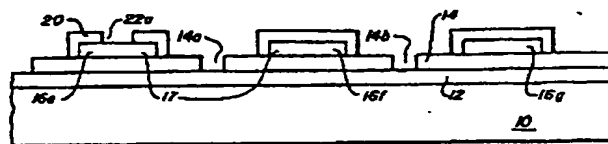


FIG. 5

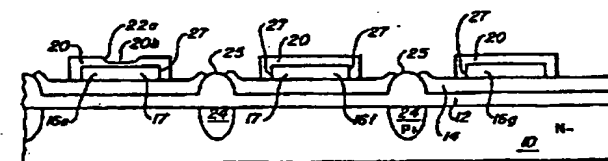


FIG. 6

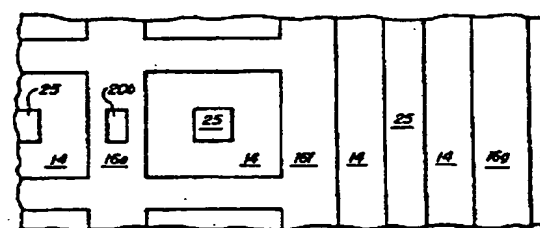


FIG. 6a

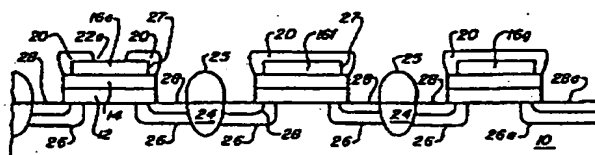


FIG. 7

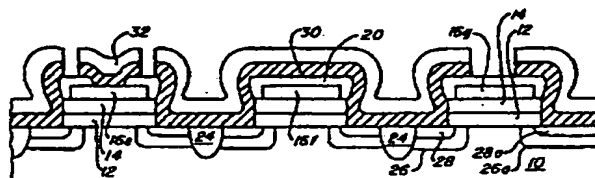


FIG. 8

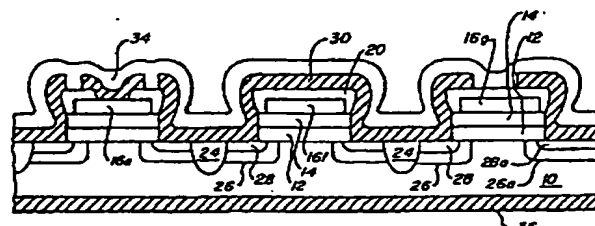


FIG. 9

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**